



JP7084011

Biblio

Page 1

Drawing



CLOCK GENERATION CIRCUIT FOR SCAN TEST

Patent Number: JP7084011
Publication date: 1995-03-31
Inventor(s): KANBA KOJI
Applicant(s): NEC CORP
Requested Patent: ☐ JP7084011
Application Number: JP19930232892 19930920
Priority Number(s):
IPC Classification: G01R31/3183
EC Classification:
Equivalents: JP2624142B2

Abstract

PURPOSE: To achieve a shortening or testing time by changing first and second clocks for scan test according to the rising and falling of an input clock signal.
CONSTITUTION: A logic circuit changes according to the rising and falling of a CLOCK signal and outputs a clock SC1 for scan test as continuous signal having '001' as one unit and a clock SC2 as continuous signal having '011' as one unit. The cycle of the clocks SC1 and SC2 is 1.5 fold as compared with the CLOCK signal. The clock SC1 is inputted into an FF circuit with a latch on the slave side in a scan test circuit made up of flip flop FF circuits connected in series and the clock SC2 into the FF circuit with a latch on the master side. Reading into IN, holding of data and outputting to SOUT, three of circuit operations, are performed at a cycle 1.5 times as much as the CLOCK signal, thereby achieving a scan pass test at a higher speed than ever.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-84011

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/3183

G 0 1 R 31/ 28

Q

審査請求 有 請求項の数 1 O L (全 6 頁)

(21)出願番号 特願平5-232892

(22)出願日 平成5年(1993)9月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 神庭 康二

東京都港区芝五丁目7番1号 日本電気株式会社内

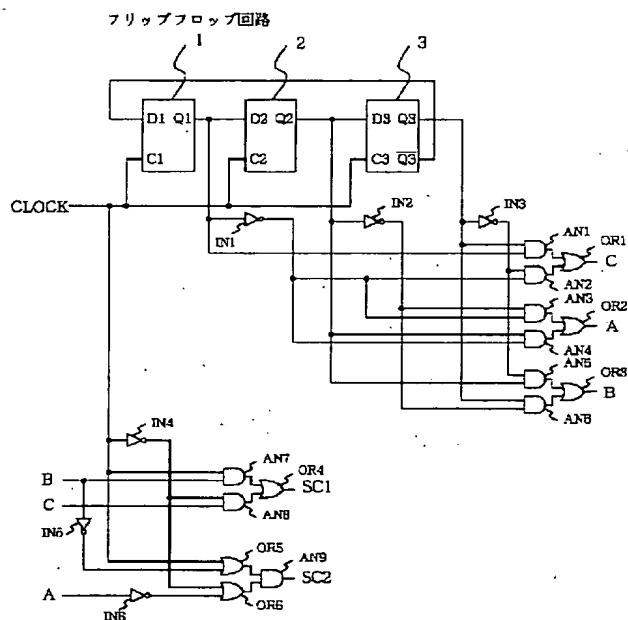
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 スキャンテスト用クロック発生回路

(57)【要約】

【目的】 スキャンテストを短時間に行うことのできるスキャンテスト用クロック発生回路を実現すること。

【構成】 入力されたクロック信号を分周する分周回路と、前記分周回路にて発生した信号を前記クロック信号と合成する論理回路とからなり、フリップフロップ回路を直列に接続したラッチ回路により構成されるスキャンテスト回路のスキャンテスト用クロックを発生するスキャンテスト用クロック発生回路であって、論理回路は、前記クロック信号の立上りおよび立ち下がりに応じて「0 0 1」を一単位として変化し、前記スキャンテスト回路のスレーブ側ラッチに入力される第1のスキャンテスト用クロックと、前記クロック信号の立上りおよび立ち下がりに応じて「0 1 1」を一単位として変化し、前記スキャンテスト回路のマスター側ラッチに入力される第2のスキャンテスト用クロックと、を生成する。



【特許請求の範囲】

【請求項 1】 入力されたクロック信号を分周する分周回路と、前記分周回路にて発生した信号を前記クロック信号と合成する論理回路とからなり、フリップフロップ回路を直列に接続したラッチ回路により構成されるスキャンテスト回路のスキャンテスト用クロックを発生するスキャンテスト用クロック発生回路であって、上記の論理回路は、前記クロック信号の立上りおよび立ち下がりに応じて「001」を一単位として変化し、前記スキャンテスト回路のスレーブ側ラッチに入力される第1のスキャンテスト用クロックと、前記クロック信号の立上りおよび立ち下がりに応じて「011」を一単位として変化し、前記スキャンテスト回路のマスター側ラッチに入力される第2のスキャンテスト用クロックと、を生成することを特徴とするスキャンテスト用クロック発生回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明はスキャンテストを行うフリップフロップ回路に入力されるクロック信号を分周し、制御する試験回路に関する。

【0002】

【従来の技術】 従来の試験回路について、図6、図7及び図8を参照して説明する。

【0003】 図6は従来のスキャンテスト用クロックを発生する回路の構成を示す図である。

【0004】 本従来例は、ラッチ動作を行う2つのフリップフロップ回路66、67より構成されている。各フリップフロップ回路は、それぞれの反転出力を入力とする分周回路として用いられている。各フリップフロップ回路の動作クロックとなる外部クロック信号CLOCKは、各フリップフロップ回路について位相が異なるように入力されているため、各フリップフロップ回路66、67が出力するスキャンクロック信号SC3、SC4の関係は、外部クロック信号CLOCKの1/2周期分ずれたものとなっている。

【0005】 スキャンクロック信号SC3及びSC4は、図8に示すフリップフロップ回路を直列に接続したラッチ回路により構成されたスキャンテスト回路に入力される。

【0006】 スキャンテスト回路は、フリップフロップ回路88、89が直列に接続されており、全体がシフトレジスタを構成している。そしてシフトレジスタ動作させることにより各フリップフロップ回路88、89の内容が観測できるようになっている。フリップフロップ回路89は、スキャンテスト信号SC3をクロック入力とし、フリップフロップ回路88は、スキャンテスト信号SC3、SC4を加算する加算回路OR81の反転出力をクロック入力とするもので、データがフリップフロップ回路から次段のフリップフロップ回路へ1回転送され

る時間がテストの1周期となる。

【0007】 上記のように構成されたスキャンテスト回路を複数段直列に接続してスキャンバステストが行われる。

【0008】 図8のスキャンテスト回路のテスト周期を図9を用いて説明する。

【0009】 最初にフリップフロップ回路88がSIN端子のデータを読み込み、続いて、これを保持する。次にフリップフロップ回路89はフリップフロップ回路88が保持しているデータをSOUT端子へ出力する。

【0010】 上記の3つの動作時間の合計がテストの1周期となる。テスト周期においてSIN端子の読み込み動作とSOUTへの出力動作との間にデータを保持する期間があるが、この期間があることによりフリップフロップ回路間に生じるスキューによる誤動作を防止することができる。

【0011】

【発明が解決しようとする課題】 従来技術で説明したスキャンテストにおけるテスト周期の問題点について図9を参照して説明する。

【0012】 SIN端子の読み込み時間とデータ保持の時間は、それぞれCLOCK信号の1/2周期に相当し、SOUTへの出力時間はCLOCK信号の1周期に相当している。従ってテストの1周期はCLOCK信号の2周期に相当する。

【0013】 このように、SOUTへの出力時間のみが、SINの読み込み時間とデータ保持時間の2倍を要するものとなっており、スキャンテストを行うのに時間がかかるという問題点がある。

【0014】 本発明は上述したような従来の技術が有する問題点に鑑みてなされたものであって、SOUTの出力時間を半分とし、スキャンテストを短時間に行うことのできるスキャンテスト用クロック発生回路を実現することを目的とする。

【0015】

【課題を解決するための手段】 本発明のスキャンテスト用クロック発生回路は、入力されたクロック信号を分周する分周回路と、前記分周回路にて発生した信号を前記クロック信号と合成する論理回路とからなり、フリップフロップ回路を直列に接続したラッチ回路により構成されるスキャンテスト回路のスキャンテスト用クロックを発生するスキャンテスト用クロック発生回路であって、上記の論理回路は、前記クロック信号の立上りおよび立ち下がりに応じて「001」を一単位として変化し、前記スキャンテスト回路のスレーブ側ラッチに入力される第1のスキャンテスト用クロックと、前記クロック信号の立上りおよび立ち下がりに応じて「011」を一単位として変化し、前記スキャンテスト回路のマスター側ラッチに入力される第2のスキャンテスト用クロックと、を生成することを特徴とする。

【0016】

【作用】本発明においては、スキャンテストを行うための第1および第2のスキャンテスト用クロックが、入力クロックの立上りおよび立ち下がりに応じて変化するものとされている。これらの変化状態は、「001」もしくは「011」とされるので、いずれにおいても入力クロックの1.5倍の周期となる。

【0017】スキャンテスト回路は上記の第1および第2のスキャンテスト用クロックに従ってSIN読み込みと、データ保持と、SOUTへの出力、の3つの動作を行うので、これらの各動作が入力クロック信号の周期の1.5倍の周期で全て行われることとなる。

【0018】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0019】図1は本発明の一実施例の構成を示す回路図、図2は図1の実施例により生成されるスキャンテスト用クロックを示す波形図、図3は図1に示した実施例により生成されたスキャンテスト用クロックを用いるスキャンテスト回路の構成を示す回路図である。

【0020】本実施例は、図1に示すようにフリップフロップ回路1～3を直列に接続した分周回路の出力を、アンドゲートAN1～AN9、オアゲートOR1～OR6およびインバータIN1～IN6により構成される論理回路によってCLOCK信号と合成し、スキャンテスト用クロックSC1、SC2を生成するものである。

【0021】上記の論理回路は、図2に示すようにCLOCK信号の立上りおよび立ち下がりに応じて変化するもので、スキャンテスト用クロックSC1は「001」を一単位とした連続信号として出力され、スキャンテスト用クロックSC2は「011」を一単位とした連続信号として出力される。このように、各スキャンテスト用クロックSC1、SC2はCLOCK信号の周期の1.5倍の周期をもっている。

【0022】スキャンテスト用クロックSC1は、図3に示すように直列に接続されたフリップフロップ回路34、35で構成されるスキャンテスト回路のうち、スレーブ側ラッチとなるフリップフロップ回路34に入力され、スキャンテスト用クロックSC2は、マスター側ラッチとなるフリップフロップ回路35に入力される図4は、上記のように構成されたスキャンテスト回路の動作タイミングを示す図である。SIN読み込みと、データ保持と、SOUTへの出力、の3つの動作が、CLOCK信号の周期の1.5倍の周期で全て行われ、図6乃至図9に示した従来例に比較してスキャンバステストを高速に行うことが可能となっている。

【0023】次に、本発明の第2の実施例について説明する。

【0024】図5は本発明の第2の実施例の構成を示す回路図である。

【0025】本実施例は、図1に示した実施例にディレイ回路53を付加したものである。ディレイ回路53は、CLOCK信号の入力端子と論理回路との間に挿入されている。この他の構成は図1に示した実施例と同様であるために同じ番号を付して説明は省略する。

【0026】ディレイ回路53を通ったCLOCK信号は、アンドゲートAN7～AN9、オアゲートOR4～OR6およびインバータIN4～IN6により構成される論理合成回路54にて、各フリップフロップ回路1～3にて生成された内部点A、B、Cの各信号と合成される。

【0027】論理合成回路54においては、CLOCK信号が、内部点A、B、CにおけるCLOCK信号より早くなる。これは分周回路の出力(Q1、Q2、Q3)から内部点(A、B、C)の配線パス間に存在している論理素子の数を考えれば明らかである。このため、スキャンテスト用クロックSC1とSC2の出力信号が図2のパターンから変わる可能性がある。そこでディレイ回路13を、CLOCK信号のパスに入れることにより、論理合成回路14において内部点A、B、CとCLOCK信号の遅延差を小さくすることができる。これによりSC1とSC2が誤ったパターンを生成することはなくなる。

【0028】ディレイ回路13は、例えば、偶数個のインバータを用いても構成することができ、その構成は特に限定されるものではない。また、論理回路の構成も、スキャンテスト用クロックSC1、SC2が上記の特徴を有するものとなればよく、特に限定されるものではない。

【0029】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0030】本発明では外部から入力されたクロック信号の周期1.5倍の周期をもつスキャンテスト用クロックを生成することができる。外部入力クロック信号の周期の2倍の周期をもつ従来のスキャンテスト用クロックと比較すると、スキャンテスト用クロックの周期自体が25%短いものとなり、この分スキャンテストに要する時間を削減できるので、スキャンテストを迅速に行うことができる効果がある。

【図面の簡単な説明】

【図1】本発明の実施例1の回路図。

【図2】本発明の実施例1の出力パターン図。

【図3】本発明の実施例1におけるスキャンテスト回路図。

【図4】本発明の実施例1のスキャンテスト周期。

【図5】本発明の実施例2の回路図。

【図6】従来技術の回路図。

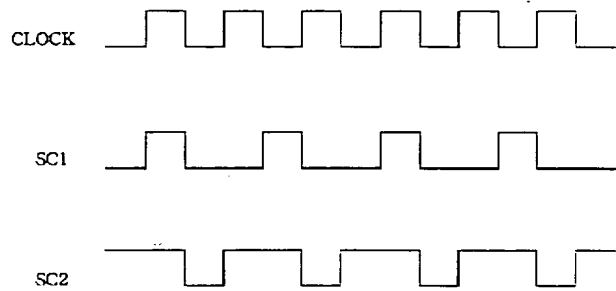
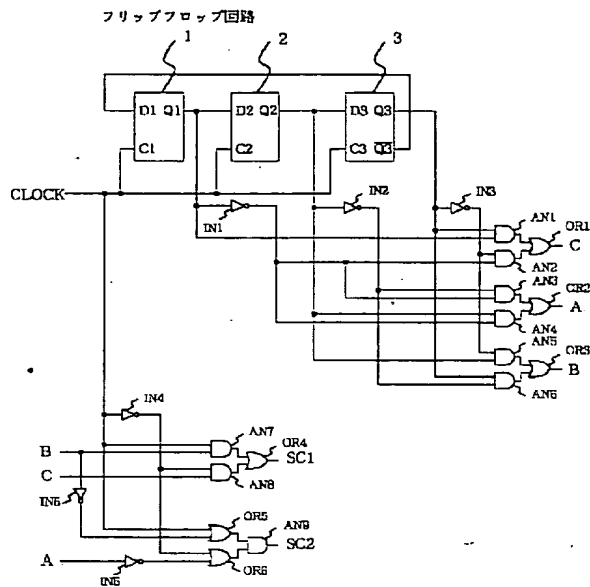
【図7】従来技術の回路の出力パターン図。

【図8】従来技術におけるスキャンテスト回路図。

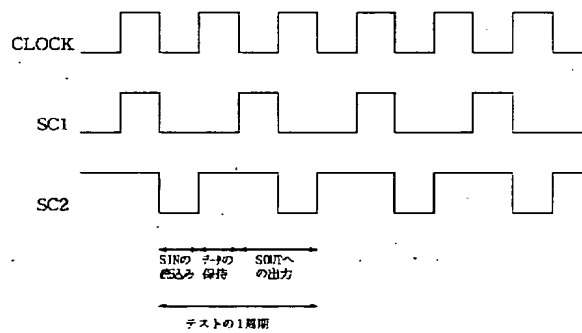
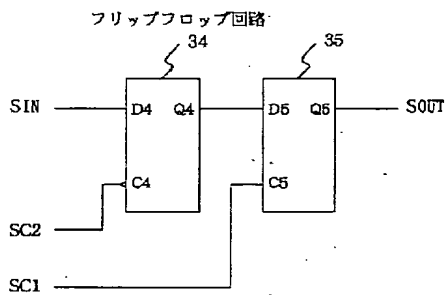
53 デイレイ回路

IN1 ～ IN6 インバータ

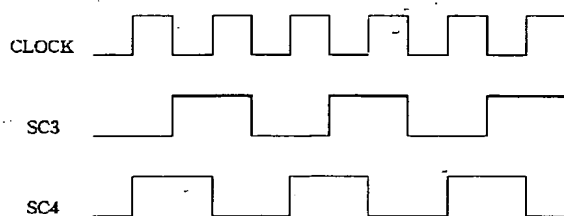
【图 2】



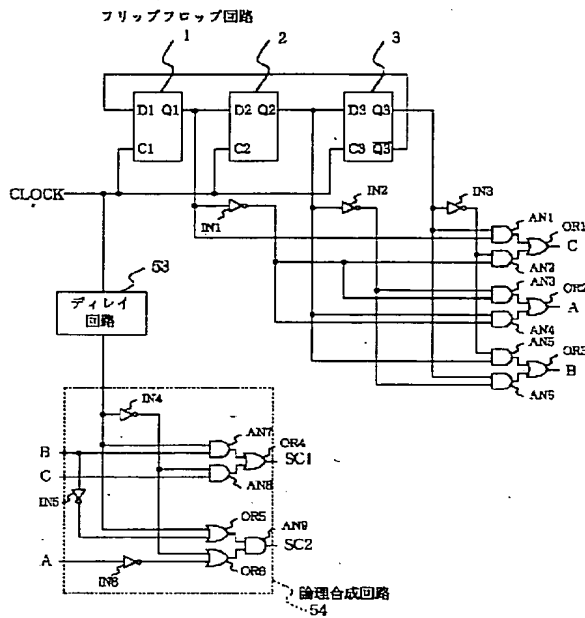
【图 4】



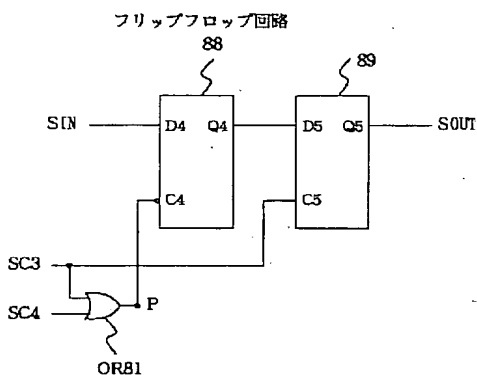
【图 7】



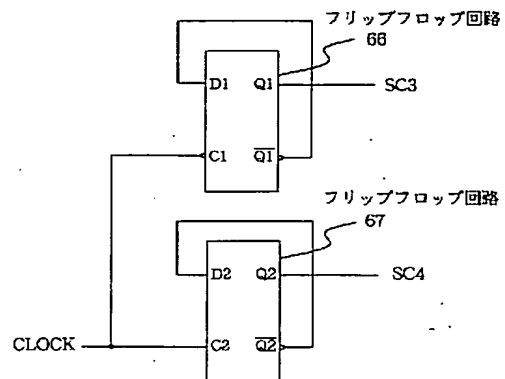
【図5】



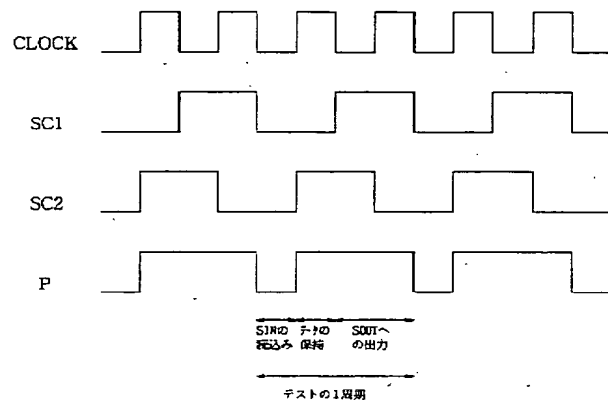
【図8】



【図6】



【図9】



【手続補正書】

【提出日】平成6年7月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 入力されたクロック信号を分周する分周回路と、前記分周回路にて発生した信号を前記クロック信号と合成する論理回路とからなり、フリップフロップ回路を直列に接続したラッチ回路により構成されるスキャンテスト回路のスキャンテスト用クロックを発生するスキャンテスト用クロック発生回路であって、

前記論理回路は、前記クロック信号の立上りおよび立ち下がりに応じて「001」を一単位として変化し、前記スキャンテスト回路のスレーブ側ラッチに入力される第1のスキャンテスト用クロックと、前記クロック信号の立上りおよび立ち下がりに応じて「011」を一単位として変化し、前記スキャンテスト回路のマスター側ラッチに入力される第2のスキャンテスト用クロックと、を生成することを特徴とするスキャンテスト用クロック発生回路。

【請求項2】 請求項1記載のスキャンテスト用クロック発生回路において、論理回路に入力されるクロック信号を遅延させるディレイ回路を有することを特徴とするスキャンテスト用クロ

ック発生回路。